

<TR><TD VALIGN="top">

(57)Abstract:

PROBLEM TO BE SOLVED: To provide high-quality reception characteristic by a method where the influence of a secondary strain characteristic generated due to leakage of a transmitted signal from a transmission part is reduced, in a reception part of a direct conversion system.
SOLUTION: Calibration means for a DC bias is installed at the input of a direct conversion mixer; and the DC bias is calibrated in advance, so that it corresponds to reception level and to a threshold level which is installed at transmitted power.

</TD></TR>

</TABLE>

<HR WIDTH="100%" SIZE="5">

LEGAL STATUS

<TABLE BORDER="0" WIDTH="100%">

<TR><TD WIDTH="50%">[Date of request for examination]</TD>

<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>

</TR>

<TR><TD WIDTH="50%" VALIGN="top">[Date of sending the examiner's decision of rejection]</TD>

<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>

</TR>

<TR><TD WIDTH="50%" VALIGN="top">[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]</TD>

<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>

</TR>

<TR><TD WIDTH="50%" VALIGN="top">[Date of final disposal for application]</TD>

<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>

</TR>

<TR><TD WIDTH="50%" VALIGN="top">[Patent number]</TD>

<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>

</TR>

<TR><TD WIDTH="50%" VALIGN="top">[Date of registration]</TD>

<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>

</TR>

<TR><TD WIDTH="50%" VALIGN="top">[Number of appeal against examiner's decision of rejection]</TD>

<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>

</TR>

<TR><TD WIDTH="50%" VALIGN="top">[Date of requesting appeal against examiner's decision of rejection]</TD>

<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>

</TR>

<TR><TD WIDTH="50%" VALIGN="top">[Date of extinction of right]</TD>

<TD WIDTH="50%" VALIGN="top" ALIGN="left"></TD>

</TR>

</TABLE>

<!--__CORRECT_DELETE__

<HR WIDTH="100%" SIZE="5">

CORRECTION

<TABLE BORDER="0">

__CORRECT_DATA__

</TABLE>

__CORRECT_DELETE__-->

<HR>CLAIMS

<HR>[Claim(s)]

[Claim 1]

The digital signal receiving set characterized by to provide the frequency conversion means which is the digital signal receiving set which transmits and receives the high frequency signal by which the digital modulation was carried out, and carries out frequency conversion of the received signal, a means to adjust the parameter of the input bias of said frequency conversion means, a means to detect a received signal level, and a means detect sending-signal level, and to control the parameter of the input bias of said frequency conversion means corresponding to said received signal level and said sending-signal level.

[Claim 2]

It is the digital signal receiving set which transmits and receives the high frequency signal by which the digital modulation was carried out. A low noise amplifier, The local oscillator which generates the local oscillation signal which intersected perpendicularly almost equally to the center frequency of an input signal, The 1st, the 2nd frequency conversion means, and a means to adjust the parameter of the input bias of this frequency conversion means, The digital signal receiving set characterized by providing a means to detect a received signal level, and a means to detect the sending-signal level of the transmitting section, and controlling the parameter of the input bias of said frequency conversion means corresponding to said received signal level and said sending-signal level.

[Claim 3]

The digital signal receiving set according to claim 2 which a threshold is prepared in a received signal level and sending-signal level, and a received signal level is below a threshold, and is characterized by controlling the parameter of the input bias of said frequency conversion means when sending-signal level is beyond a threshold.

[Claim 4]

A low noise amplifier is a digital signal receiving set according to claim 2 or 3 which it is a gain adjustable amplifier, gain is controlled corresponding to a received signal level, a threshold is prepared in the gain and sending-signal level of a low noise amplifier, and the gain of a low noise amplifier is beyond a threshold, and is characterized by controlling the parameter of the input bias of said frequency conversion means when sending-signal level is beyond a threshold.

[Claim 5]

A low noise amplifier is a digital signal receiving set according to claim 2 or 3 which it is the gain adjustable amplifier of the step mold which changes high interest profit and low gain, high interest profit and low gain are chosen corresponding to a received signal level, a threshold is prepared in the gain and sending-signal level of a low noise amplifier, and the gain of a low noise amplifier is high interest profit, and is characterized by controlling the parameter of the input bias of said frequency conversion means when sending-signal level is beyond a threshold.

[Claim 6]

The parameter control of the input bias of said frequency conversion means is a digital signal receiving set according to claim 2 to 5 characterized by being carried out based on the slot of an input signal, or the period of a frame.

[Claim 7]

It is the digital signal receiving set according to claim 2 to 6 with which a low noise amplifier is characterized by sending-signal level performing the change to high interest profit of the low noise amplifier in the condition beyond a threshold after completing the parameter control of the input bias of said frequency conversion means on low gain.

[Claim 8]

It is the digital signal receiving set according to claim 2 to 6 with which a low noise amplifier is characterized by sending-signal level performing the change beyond the threshold of the sending-signal level in the condition below a threshold after completing the parameter control of the input bias of said frequency conversion means by high interest profit.

[Claim 9]

The integrated circuit for digital signal receiving sets characterized by providing a low noise amplifier, the local oscillator which generates the local oscillation signal which intersected perpendicularly almost equally to the center frequency of an input signal, the 1st and the 2nd frequency conversion means, and a means to adjust the parameter of the input bias of this frequency conversion means, and controlling the parameter of the input bias of said frequency conversion means by the control signal.

<HR>DETAILED DESCRIPTION

<HR>[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the approach and equipment which perform reception stabilized in DS(Direct Spread)-CDMA / FDD (Frequency Division Duplex) method, concerning the receiver of CDMA (Code Division Multiple Access).

[0002]

[Description of the Prior Art]

As a next-generation cellular phone method, it was named IMT-2000 (International Mobile Telecommunication System) by the cellular-phone method of a cosmopolitan for the purpose of 2000MHz [of application frequency bands], and transmission rate 2000bps, and the standardization has been performed by ITU (International Telecommunication Union) in 2000.

The method which some methods are proposed by IMT-2000 and called W-CDMA is also one method of them.

The spectrum diffusion method applied to W-CDMA is a direct diffusion method (DS), since it gets down with an uphill channel and the change of a channel is separated by the frequency by the FDD method, there is no transmission-and-reception change of TDMA, and continuous reception and continuous transmission are performed.

In IMT-2000, various multimedia services are planned, the miniaturization of a mobile receiver, lightweight-izing, and low-pricing are required, and especially the miniaturization of the radio-frequency head of a receiver is becoming important.

In this, the direct conversion method attracts attention.

The example of a configuration of the mobile terminal which used the direct conversion method for

<A
HREF="http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000009"

TARGET="tjitemdrw">drawing 7
in the receive section is shown.

<A
HREF="http://www4.ipd1.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje?u=http%3A%2F%2Fwww4.ipd1.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipd1%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000009"

TARGET="tjitemdrw">drawing 7
-- setting -- 100 -- an antenna and 101 -- a duplexer and 102 -- a low noise amplifier, and 103 and 104 -- a frequency changing circuit (direct conversion mixer) and 109 -- a local oscillator and 110 -- 90-degree phase machine, and 105 and 106 -- Baseband LPF, and 107 and 108 -- for a receive section and 201, as for the transmitting section and 900, a power amplifier and 202 are [a baseband variable gain amplifier and 109 / a digital recovery and 113 / the gain control terminal of a

preamp and 902] the gain control terminals of a baseband variable gain amplifier. In this example, only main function parts are shown and the circumference circuit block of system control etc. and the block after data processing are omitted. Front-end magnification was carried out with the preamp 102, with the direct conversion mixers 103 and 104 and 109 or 90 degree phase vessel 110 of local oscillators, it changed into rectangular baseband signaling, gain control of the signal band of choice was carried out with ejection and the baseband variable gain amplifier 107, 108 with the baseband filter 105, 106, recovery, back-diffusion of gas, etc. were performed by the digital recovery 109, and the modulating signal inputted from the antenna 100 has acquired data and a clock signal. From 3Gpp(s) (3rd Generation Partnership Project) specification, 16 slots are transmitted using 10ms as one frame, transmitted power is controlled by the DS-CDMA/FDD method for every slot, the guard time period of 25microsx2 as shown in

<A
 HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3F%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000010"
 TARGET="tjitemdrw">drawing 8

is prepared in the slot and the frame boundary, and, as for the digital recovery 109, gain control of a low noise amplifier 102 and the baseband variable gain amplifiers 107 and 108 is performed at intervals of the period of the slot of an input signal, or a frame according to receiving level. Since a direct conversion method changes a high frequency signal into a baseband frequency with the direct conversion mixers 103 and 104 directly, since there is no intermediate frequency, 1st mixer and the filter of image clearance are unnecessary, and can miniaturize it.

[0003]

[Problem(s) to be solved by the Invention]

As a general fault of a direct conversion method, what must be noticed about 2 distorted property is known.

As this example, p136 of RF MICROELECTRONICS and Prentice Hall PTR (1998) has a publication.

In W-CDMA, since transmission and reception are performed by continuous reception and continuous transmission at the time of **, the own sending signal of a terminal serves as an interference at the time of reception.

Generally, when an input signal is low, since it is expected that transmitted power also becomes high, the greatest interference will occur at the time of minimum reception sensitivity.

According to the specification of 3Gpp(s), minimum reception sensitivity is [about]. -It is 117dBm and the max of transmitted power is +21dBm (class 4).

Although an input signal and a sending signal are separated by the duplexer 101, the isolation of the transmitting input port of a duplexer 101 to a receiving output port is about 50dB, and it is [about / maximum]. -A 30dBm sending signal is revealed to a receiving output port side.

Therefore, at minimum reception sensitivity, it is [about]. -About [the 117dBm signal of choice, and] -A 30dBm active jamming signal is inputted into the receive section of a direct conversion method.

In order that the low noise amplifier 102 of the adjustable gain mold arranged at the input of a receive section may obtain a good noise property and the necessary amplitude at the time of minimum reception sensitivity, high interest profit is chosen, and IIP2 (secondary intercept point) high property is required of a direct conversion mixer.

If a received signal level becomes high, since, as for the gain of a low noise amplifier, low gain is chosen, a demand of the IIP2 property of a direct conversion mixer will also become low.

The distorted property of a direct conversion mixer had the technical problem from which sufficient IIP2 is not obtained according to the imbalance of the input bias by manufacture dispersion etc.

[0004]

The object of this invention is to offer the approach and equipment which perform

reception stabilized in the DS-CDMA/FDD method even if it used AGC of continuous reception and digital control paying attention to this point.

[0005]

[Means for solving the Problem]

In order to solve the above-mentioned technical problem, a means to adjust the parameter of the input bias of a direct conversion mixer, a means to detect a received signal level, and a means to detect the sending-signal level of the transmitting section are provided, and the parameter of the input bias of said direct conversion mixer is controlled by this invention corresponding to a received signal level and sending-signal level.
Control forms the parameter of input bias for a threshold in a received signal level and sending-signal level, a received signal level is below a threshold, and when sending-signal level is beyond a threshold, the parameter of the input bias of said direct conversion mixer is controlled.
Moreover, a received signal level is related with the gain control of a low noise amplifier, the gain of a low noise amplifier is beyond a threshold, and when sending-signal level is beyond a threshold, the parameter of the input bias of said direct conversion mixer is controlled.
When the gain of a low noise amplifier is high interest profit and sending-signal level is beyond a threshold as a step mold which changes high interest profit and low gain for the gain adjustable of a low noise amplifier, the parameter of the input bias of said direct conversion mixer is controlled.
Timing which controls is performed based on the slot of an input signal, or the period of a frame, and on low gain, sending-signal level performs [a low noise amplifier] the change to high interest profit of the low noise amplifier in the condition beyond a threshold, after completing the parameter control of the input bias of said direct conversion mixer.
Moreover, sending-signal level is made for a low noise amplifier to perform the change beyond the threshold of the sending-signal level in the condition below a threshold by high interest profit, after completing the parameter control of the input bias of said direct conversion mixer.

[0006]

Moreover, they are miniaturization drawing **** of a receiver by providing a means to adjust the parameter of the input bias of a low noise amplifier, the local oscillator which generates the local oscillation signal which intersected perpendicularly almost equally to the center frequency of an input signal, a low noise amplifier, the 1st and the 2nd direct conversion mixer, and a direct conversion mixer, and carrying out the integrated circuit of the function which controls the parameter of the input bias of said direct conversion mixer by the control signal.

[0007]

[Embodiment of the Invention]

The example of this invention is explained to a detail using drawing.

[0008]

<A
HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web CGI_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000003"
TARGET="tjitemdrw">Drawing 1

is the block diagram showing the communication terminal which is 1 operation gestalt of this invention.

The same number as other drawings shows the same functional block among drawing, and, for a bias calibration means, a system means, and 300, as for a bias calibration control signal and 903, a system control means and 901 are [120 and 121 / the gain control signal of a power amplifier and 904] the control signals of a digital recovery.

The control signal to the common system control means 300 and a common receive

section 113, or the transmitting section 202 is omitted.

The system control means 300 is a configuration which detects the gain condition of the low noise amplifier of a receive section, and the transmitting power condition of a power amplifier, generates the bias calibration control signal 904, controls the bias calibration means 120 and 121 by the gain control signal 903 of a power amplifier 201, and the control signal 904 of a digital recovery, and controls the offset voltage of the input bias of a direct conversion mixer by them and to control.

The bias calibration control signal 904 writes in reading of the offset voltage of input bias, and adjustment of input bias by the bidirectional signal. A threshold is established in system control at a received signal level and sending-signal level, and the data of adjustment of input bias are written in in the direction which the received signal level from the digital recovery 109 is below a threshold, and cancels offset from the bias calibration means 120 and 121 to reading of the offset voltage of input bias, and a degree with the bias calibration control signal 904 when the sending-signal level of a power amplifier 201 is beyond a threshold.

Moreover, the gain (or AGC electrical potential difference) of a low noise amplifier is set as a change of a received signal level threshold as a threshold, the gain of a low noise amplifier is beyond a threshold, and the same effectiveness is acquired even if it controls the parameter of the input bias of said direct conversion mixer, when sending-signal level is beyond a threshold.

[0009]

<A

HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000004"

TARGET="tjitemdrw">Drawing 2

is drawing showing the example of the bias calibration means 120 and 121.

The same number as other drawings shows the same functional block among drawing, and, as for a bias circuit, and 301,302, 303,305,306, 311, 312, 321, 322, 323, 324, 325 and 326, as for 300 and 319, resistance, and 307 and 327 are transistors from which DAC, and 308 and 328 constitute ADC and 313, 314, 315, 316, 317, and 318 constitute a direct conversion mixer.

It generates in 319 of 300 of a bias circuit 1, and a bias circuit 2, and the fundamental bias of the direct conversion 103 and 104 is impressed to the base of the transistors 313,314,315,316, 317, and 318 of a direct conversion mixer.

Moreover, DACs 307 and 327 and ADCs 308 and 328 are connected to 300 of a bias circuit 1, and the output of 319 of a bias circuit 2, the offset voltage of a bias circuit is detected by 328 of 308 of ADC1, and ADC2 to them, and cancellation of offset voltage is a configuration performed by generating a cancellation electrical potential difference in DACs 307 and 327, and superimposing on basic bias voltage by resistance 301, 302, 303, 304 and 321, and 322, 324 and 323.

[0010]

<A

HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000005"

TARGET="tjitemdrw">Drawing 3

shows the flowchart of the gain control of the low noise amplifier of this invention, and

<A

HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000006"

TARGET="tjitemdrw">drawing 4

shows the flowchart of the output control of the transmitting section of this invention.

Timing which controls is performed based on the slot of an input signal, or the period of a frame, and in the example of

<A

HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000005"

TARGET="tjitemdrw">drawing 3

, by high interest profit, sending-signal level performs [a low noise amplifier] the change (408) beyond the threshold of the sending-signal level in the condition below a threshold (401), after completing the parameter control of the input bias of said direct conversion mixer (406).

In the example of

<A

HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000006"

TARGET="tjitemdrw">drawing 4

, on low gain, sending-signal level performs [a low noise amplifier] the change (508) to high interest profit of the low noise amplifier in the condition beyond a threshold, after completing the parameter control of the input bias of said direct conversion mixer (506).

[0011]

<A

HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000007"

TARGET="tjitemdrw">Drawing 5

is the block diagram showing another example of this invention.

The same number as other drawings shows the same functional block among drawing, 122a and 122b show the low noise amplifier of low gain, 102a and 102b show the low noise amplifier of high interest profit, and a duplexer 101 outputs a balanced signal and is inputted into 2 sets of low noise amplifiers.

A low noise amplifier is an example of a block configuration chosen by the gain control signal 900 with the configuration which changes high interest profit and low gain.

[0012]

In IC-izing of this invention,

<A

HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000008"

TARGET="tjitemdrw">drawing 6

is the configuration that prepared system control in the interior of IC, and it was suitable for IC-ization, and is effective in the miniaturization of a receiver.

[0013]

[Effect of the Invention]

According to this invention, by providing a means to adjust the parameter of the input bias of a direct conversion mixer, a means to detect a received signal level, and a means to detect the sending-signal level of the transmitting section, and controlling the parameter of the input bias of said direct conversion mixer corresponding to a received signal level and sending-signal level, the balance precision of input bias can be improved and IIP2 property can be improved.

[0014]

Moreover, control of the parameter of input bias prepares a threshold in a received signal level and sending-signal level, it considers as the method which controls the parameter of the input bias of said direct conversion mixer when sending-signal level is beyond a threshold, a received signal level is related [a received signal level is below a threshold, and] with the gain control of a low noise amplifier, and a control condition is simplified by using the gain adjustable of a low noise amplifier as the step mold which changes high interest profit and low gain.

[0015]

Moreover, timing which controls is performed based on the slot of an input signal, or the period of a frame.
 On low gain, a low noise amplifier carries out, after the parameter control of input bias ends [sending-signal level] the change to high interest profit of the low noise amplifier in the condition beyond a threshold.
 Malfunction can be prevented, when a low noise amplifier is made to carry out after the parameter control of input bias ends [sending-signal level] the change beyond the threshold of the sending-signal level in the condition below a threshold by high interest profit.

[0016]

Moreover, a receiver can be miniaturized by providing a means to adjust the parameter of the input bias of a low noise amplifier, the local oscillator which generates the local oscillation signal which intersected perpendicularly almost equally to the center frequency of an input signal, a low noise amplifier, the 1st and the 2nd direct conversion mixer, and a direct conversion mixer, and carrying out the integrated circuit of the function which controls the parameter of the input bias of said direct conversion mixer by the control signal.

<HR>DESCRIPTION OF DRAWINGS

<HR>[Brief Description of the Drawings]

<A

HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000003"
 TARGET="tjitemdrw">[Drawing 1]

It is the block diagram showing the communication terminal of one example of this invention.

<A

HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000004"
 TARGET="tjitemdrw">[Drawing 2]

It is drawing showing the example of the bias calibration means used for this invention.

<A

HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000005"
 TARGET="tjitemdrw">[Drawing 3]

It is the flowchart of the gain control of the low noise amplifier of this invention.

<A

HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000006"
 TARGET="tjitemdrw">[Drawing 4]

It is the flowchart of the output control of the transmitting section of this invention.

<A

HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B%3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000007"
 TARGET="tjitemdrw">[Drawing 5]

It is the block diagram showing the communication terminal of other examples of this invention.

<A
 HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd
 l.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B
 %3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000008"
 TARGET="tjitemdrw">[Drawing 6]

It is the block diagram showing the configuration which prepared system control in the interior of IC of this invention.

<A
 HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd
 l.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B
 %3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000009"
 TARGET="tjitemdrw">[Drawing 7]

It is the block diagram with the receive section of the conventional direct conversion method of a communication terminal.

<A
 HREF="http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje?u=http%3A%2F%2Fwww4.ipd
 l.ncipi.go.jp%2Ftokujitu%2Ftjitemdrw.ipdl%3FN0000%3D237%26N0500%3D1E%5FN%2F%3B%3E%3B
 %3C%3C%3A%3E7%3D%2F%2F%2F%26N0001%3D109%26N0552%3D9%26N0553%3D000010"
 TARGET="tjitemdrw">[Drawing 8]

It is drawing showing the relation of change between the frame of DS-WCDMA/FDD, a slot, and transmitting power.

[Description of Notations]

102 [-- A baseband amplifier, 109 / -- A digital recovery, 110 / -- Data processing, 111 / -- Level detection, 112 / -- A frame, slot timing control, 113 / -- A receive section, 121 / -- A calibration, 201 / -- A power amplifier, 202 / -- The transmitting section, 900 -- gain control terminal of a low noise amplifier 901 -- A calibration signal terminal, 903 -- Gain control terminal of a baseband amplifier] -- A low noise amplifier, 103, a 104 -- direct conversion mixer, 109 -- 105 A local oscillator, 110--90-degree phase machine, 106 -- 107 Baseband LPF, 108

 <HR></BODY></HTML>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-335182
(P2002-335182A)

(43) 公開日 平成14年11月22日 (2002. 11. 22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 4 B	1/40	H 0 4 B	5 K 0 1 1
	1/10		E 5 K 0 5 2

審査請求 未請求 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願2001-138071(P2001-138071)

(22) 出願日 平成13年 5 月 9 日 (2001. 5. 9)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 野田 正樹

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディア開発本部内

(74) 代理人 100075096

弁理士 作田 康夫

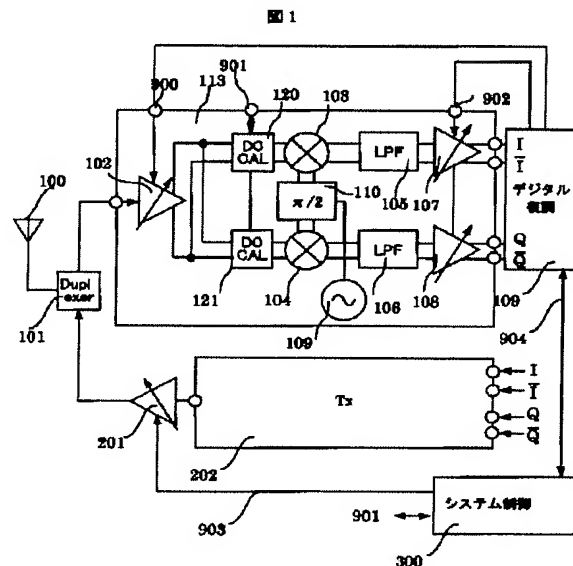
最終頁に続く

(54) 【発明の名称】 デジタル信号受信装置

(57) 【要約】

【課題】 ダイレクトコンバージョン方式の受信部において、送信部からの送信信号漏洩によって発生する2次歪特性の影響を軽減し、高品質な受信特性を提供する。

【解決手段】 ダイレクトコンバージョンミキサの入力部に直流バイアスのキャリブレーション手段を設け、受信レベルと送信電力に設けた閾値に対応して、あらかじめ前記の直流バイアスのキャリブレーションを行うことを特徴とする。



【特許請求の範囲】

【請求項1】 デジタル変調された高周波信号を送受信するデジタル信号受信装置であって、
受信した信号を周波数変換する周波数変換手段と、
前記周波数変換手段の入力バイアスのパラメータを調整する手段と、

受信信号レベルを検知する手段と、
送信信号レベルを検知する手段を具備し、
前記受信信号レベルと、前記送信信号レベルに対応して、前記周波数変換手段の入力バイアスのパラメータを制御することを特徴とするデジタル信号受信装置。

【請求項2】 デジタル変調された高周波信号を送受信するデジタル信号受信装置であって、
低雑音増幅器と、受信信号の中心周波数にほぼ等しく直交した局部発振信号を発生する局部発振器と、第1と第2の周波数変換手段と、該周波数変換手段の入力バイアスのパラメータを調整する手段と、受信信号レベルを検知する手段と、送信部の送信信号レベルを検知する手段を具備し、
前記受信信号レベルと、前記送信信号レベルに対応して、前記周波数変換手段の入力バイアスのパラメータを制御することを特徴とするデジタル信号受信装置。

【請求項3】 受信信号レベルと送信信号レベルに閾値を設け、受信信号レベルが閾値以下でかつ送信信号レベルが閾値以上のときに前記周波数変換手段の入力バイアスのパラメータを制御することを特徴とする請求項2に記載のデジタル信号受信装置。

【請求項4】 低雑音増幅器は利得可変増幅器であって、受信信号レベルに対応して利得が制御され、低雑音増幅器の利得と送信信号レベルに閾値を設け、低雑音増幅器の利得が閾値以上でかつ送信信号レベルが閾値以上のときに前記周波数変換手段の入力バイアスのパラメータを制御することを特徴とする請求項2または3に記載のデジタル信号受信装置。

【請求項5】 低雑音増幅器は高利得と低利得を切替えるステップ型の利得可変増幅器であって、受信信号レベルに対応して高利得と低利得が選択され、低雑音増幅器の利得と送信信号レベルに閾値を設け、低雑音増幅器の利得が高利得でかつ送信信号レベルが閾値以上のときに前記周波数変換手段の入力バイアスのパラメータを制御することを特徴とする請求項2または3に記載のデジタル信号受信装置。

【請求項6】 前記周波数変換手段の入力バイアスのパラメータ制御は、受信信号のスロットあるいはフレームの周期に基づいて行われることを特徴とする請求項2ないし5のいずれかに記載のデジタル信号受信装置。

【請求項7】 低雑音増幅器が低利得で送信信号レベルが閾値以上の状態での低雑音増幅器の高利得への切換えは、前記周波数変換手段の入力バイアスのパラメータ制御が終了後に行うことを特徴とする請求項2ないし6の

いずれかに記載のデジタル信号受信装置。

【請求項8】 低雑音増幅器が高利得で送信信号レベルが閾値以下の状態での送信信号レベルの閾値以上への切換えは、前記周波数変換手段の入力バイアスのパラメータ制御が終了後に行うことを特徴とする請求項2ないし6のいずれかに記載のデジタル信号受信装置。

【請求項9】 低雑音増幅器と、受信信号の中心周波数にほぼ等しく直交した局部発振信号を発生する局部発振器と、第1と第2の周波数変換手段と、該周波数変換手段の入力バイアスのパラメータを調整する手段を具備し、制御信号により前記周波数変換手段の入力バイアスのパラメータを制御することを特徴とするデジタル信号受信装置用集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CDMA (Code Division Multiple Access) の受信機に関し、例えばDS (Direct Spread) - CDMA/FDD (Frequency Division Duplex) 方式において安定した受信を行なう方法と装置に関する。

【0002】

【従来の技術】 次世代携帯電話方式として、2000年に世界共通の携帯電話方式で、適用周波数帯域2000MHz、伝送レート2000bpsを目標にIMT-2000 (International Mobile Telecommunication System) と命名され、ITU (International Telecommunication Union) で標準化作業が行われてきた。IMT-2000にはいくつかの方式が提案され、W-CDMAと呼ばれる方式もその中の一方式である。W-CDMAに適用されているスペクトラム拡散方式は直接拡散方式(DS)で、上りチャンネルと下りチャンネルの切替えはFDD方式で周波数によって分離されるため、TDMAの送受切替えはなく、連続受信や連続送信が行われる。IMT-2000では種々のマルチメディアサービスが予定され、移動体受信機の小型化、軽量化、低価格化が要求され、特に受信機の高周波部の小型化が重要となってきた。このなかで、ダイレクトコンバージョン方式が注目されている。図7にダイレクトコンバージョン方式を受信部に用いた移動体端末の構成例を示す。図7において100はアンテナ、101はデュプレクサ、102は低雑音増幅器、103、104は周波数変換回路(ダイレクトコンバージョンミキサ)、109は局部発振器、110は90°位相器、105、106はベースバンドLPF、107、108はベースバンド可変利得増幅器、109はデジタル復調、113は受信部、201はパワー増幅器、202は送信部、900は前置増幅器の利得制御端子、902はベースバンド可変利得増幅器の利得制御端子である。本実施例では、主要な機能部のみを示しておりシステム制

御などの周辺回路ブロックや、データ処理後のブロックは略している。アンテナ100から入力された変調信号は前置増幅器102で前置増幅され、ダイレクトコンバージョンミキサ103、104、局部発振器109、90°位相器110によって直交ベースバンド信号に変換し、ベースバンドフィルタ105、106で希望信号帯域を取り出し、ベースバンド可変利得増幅器107、108で利得制御され、デジタル復調109で復調、逆拡散等が行われデータとクロック信号を得ている。3Gpp (3rd Generation Partnership Project) 規格よりDS-SS/CDMA/FDD方式では、10msを1フレームとして16スロットが伝送されスロット毎に送信電力が制御され、スロットおよびフレーム境界には図8に示すような25μs×2のガードタイム期間が設けられており、デジタル復調109は、受信レベルに応じて低雑音増幅器102とベースバンド可変利得増幅器107、108の利得制御を受信信号のスロットあるいはフレームの周期間隔で行う。ダイレクトコンバージョン方式は、高周波信号を直接ダイレクトコンバージョンミキサ103、104によってベースバンド周波数に変換するため中間周波数はないことから、1stミキサやイメージ除去のフィルタが不要で小型化が可能である。

【0003】

【発明が解決しようとする課題】ダイレクトコンバージョン方式の一般的な欠点として、2歪特性に注意しなければならないことが知られている。この例として、RF MICROELECTRONICS、Prentice Hall PTR (1998) のp136に記載がある。W-CDMAでは、連続受信や連続送信によって送受信が同時行われるため、端末自身の送信信号が受信時の妨害波となる。一般的に受信信号が低いところでは、送信電力も高くなることが予想されるため、最小受信感度時に最大の妨害波が発生することになる。3Gppの規格によれば、最小受信感度は約-117dBmで、送信電力の最大は+21dBm (クラス4) である。受信信号と送信信号は、デュプレクサ101によって分離されるが、デュプレクサ101の送信入力ポートから受信出力ポートのアイソレーションは50dB程度であり、最大約-30dBmの送信信号が受信出力ポート側へ漏洩する。したがって、最小受信感度では、約-117dBmの希望信号と約-30dBmの妨害信号がダイレクトコンバージョン方式の受信部に入力される。受信部の入力に配置された可変利得型の低雑音増幅器102は、最小受信感度時には良好な雑音特性や所要振幅を得るために高利得が選択され、ダイレクトコンバージョンミキサには高いIIP2 (2次インターセプトポイント) 特性が要求される。受信信号レベルが高くなると、低雑音増幅器の利得は低利得が選択されるため、ダイレクトコンバージョンミキサのIIP2特性の要求も低くなる。ダ

イレクトコンバージョンミキサの歪特性は、製造ばらつき等による入力バイアスのアンバランスによって十分なIIP2が得られない課題があった。

【0004】本発明の目的はかかる点に着目し、DS-SS/CDMA/FDD方式において、連続受信とデジタル制御のAGCを用いても安定した受信を行なう方法および装置を提供することにある。

【0005】

【課題を解決するための手段】上記課題を解決するために、本発明では、ダイレクトコンバージョンミキサの入力バイアスのパラメータを調整する手段と、受信信号レベルを検知する手段と、送信部の送信信号レベルを検知する手段を具備し、受信信号レベルと、送信信号レベルに対応して、前記ダイレクトコンバージョンミキサの入力バイアスのパラメータを制御する。入力バイアスのパラメータを制御は、受信信号レベルと送信信号レベルに閾値を設け、受信信号レベルが閾値以下でかつ送信信号レベルが閾値以上のときに前記ダイレクトコンバージョンミキサの入力バイアスのパラメータを制御する。また、受信信号レベルを低雑音増幅器の利得制御と関連させ、低雑音増幅器の利得が閾値以上でかつ送信信号レベルが閾値以上のときに前記ダイレクトコンバージョンミキサの入力バイアスのパラメータを制御する。低雑音増幅器の利得可変を高利得と低利得を切替えるステップ型として、低雑音増幅器の利得が高利得でかつ送信信号レベルが閾値以上のときに前記ダイレクトコンバージョンミキサの入力バイアスのパラメータを制御する。制御を行うタイミングは、受信信号のスロットあるいはフレームの周期に基づいて行い、低雑音増幅器が低利得で送信信号レベルが閾値以上の状態での低雑音増幅器の高利得への切換えは、前記ダイレクトコンバージョンミキサの入力バイアスのパラメータ制御が終了後に行う。また、低雑音増幅器が高利得で送信信号レベルが閾値以下の状態での送信信号レベルの閾値以上への切換えは、前記ダイレクトコンバージョンミキサの入力バイアスのパラメータ制御が終了後に行うようにする。

【0006】また、低雑音増幅器と、受信信号の中心周波数にほぼ等しく直交した局部発振信号を発生する局部発振器と、低雑音増幅器と、第1と第2のダイレクトコンバージョンミキサと、ダイレクトコンバージョンミキサの入力バイアスのパラメータを調整する手段を具備し、制御信号により前記ダイレクトコンバージョンミキサの入力バイアスのパラメータを制御する機能を集積回路することにより、受信機の小型化図られる。

【0007】

【発明の実施の形態】本発明の実施例を図を用いて詳細に説明する。

【0008】図1は本発明の一実施形態である通信端末を示すブロック図である。図中、他図と同じ番号は同一の機能ブロックを示し、120と121はバイアスキャ

リブレーション手段、システム手段、300はシステム制御手段、901はバイアスキャリブレーション制御信号、903はパワー増幅器の利得制御信号、904はデジタル復調の制御信号である。一般的なシステム制御手段300と受信部113や送信部202への制御信号は省略している。システム制御手段300は、パワー増幅器201の利得制御信号903とデジタル復調の制御信号904により、受信部の低雑音増幅器の利得状態やパワー増幅器の送信パワー状態を検知して、バイアスキャリブレーション制御信号904を発生し、バイアスキャリブレーション手段120と121を制御して、ダイレクトコンバージョンミキサの入力バイアスのオフセット電圧を制御する構成である。バイアスキャリブレーション制御信号904は双方向信号で入力バイアスのオフセット電圧の読み取りと、入力バイアスの調整の書き込みを行う。システム制御内に受信信号レベルと送信信号レベルに閾値を設け、デジタル復調109からの受信信号レベルが閾値以下でかつパワー増幅器201の送信信号レベルが閾値以上のときは、バイアスキャリブレーション手段120と121からバイアスキャリブレーション制御信号904により入力バイアスのオフセット電圧の読み取り、次にオフセットをキャンセルする方向に入力バイアスの調整のデータの書き込みを行う。また、受信信号レベル閾値の変わりに低雑音増幅器の利得(あるいはAGC電圧)を閾値として設定し、低雑音増幅器の利得が閾値以上でかつ送信信号レベルが閾値以上のときに前記ダイレクトコンバージョンミキサの入力バイアスのパラメータを制御しても同様な効果が得られる。

【0009】図2はバイアスキャリブレーション手段120と121の例を示す図である。図中、他図と同じ番号は同一の機能ブロックを示し、300と319はバイアス回路、301、302、303、305、306、311、312、321、322、323、324、325、326は抵抗、307と327はDAC、308と328はADC、313、314、315、316、317、318はダイレクトコンバージョンミキサを構成するトランジスタである。ダイレクトコンバージョン103と104の基本的なバイアスは、バイアス回路1の300とバイアス回路2の319で発生し、ダイレクトコンバージョンミキサのトランジスタ313、314、315、316、317、318のベースに印加される。また、バイアス回路1の300とバイアス回路2の319の出力には、DAC307と327、ADC308と328が接続され、バイアス回路のオフセット電圧はADC1の308とADC2の328で検出し、オフセット電圧のキャンセルはDAC307と327でキャンセル電圧を発生して抵抗301と302、303と304、321と322、324と323で基本バイアス電圧に重畳することで行う構成である。

【0010】図3は本発明の低雑音増幅器の利得制御の

フロチャートを図4は本発明の送信部の出力制御のフロチャートを示す。制御を行うタイミングは、受信信号のスロットあるいはフレームの周期に基づいて行い、図3の実施例において低雑音増幅器が高利得で送信信号レベルが閾値以下(401)の状態での送信信号レベルの閾値以上への切換え(408)は、前記ダイレクトコンバージョンミキサの入力バイアスのパラメータ制御が終了後(406)に行う。図4の実施例において低雑音増幅器が低利得で送信信号レベルが閾値以上の状態での低雑音増幅器の高利得への切換え(508)は、前記ダイレクトコンバージョンミキサの入力バイアスのパラメータ制御が終了後(506)に行う。

【0011】図5は、本発明の別の実施例を示すブロック図である。図中、他図と同じ番号は同一の機能ブロックを示し、122aと122bは低利得の低雑音増幅器、102aと102bは高利得の低雑音増幅器を示し、デュプレクサー101は平衡信号を出力し、2組の低雑音増幅器に入力される。低雑音増幅器は、高利得と低利得を切替える構成で、利得制御信号900により選択されるブロック構成例である。

【0012】図6は、本発明のIC化において、IC内部にシステム制御を設けIC化に適した構成であり、受信機の小型化に有効である。

【0013】

【発明の効果】本発明によれば、ダイレクトコンバージョンミキサの入力バイアスのパラメータを調整する手段と、受信信号レベルを検知する手段と、送信部の送信信号レベルを検知する手段を具備し、受信信号レベルと、送信信号レベルに対応して、前記ダイレクトコンバージョンミキサの入力バイアスのパラメータを制御することにより、入力バイアスのバランス精度を向上でき、IIP2特性を改善することができる。

【0014】また、入力バイアスのパラメータの制御は、受信信号レベルと送信信号レベルに閾値を設け、受信信号レベルが閾値以下でかつ送信信号レベルが閾値以上のときに前記ダイレクトコンバージョンミキサの入力バイアスのパラメータを制御する方式とし、受信信号レベルを低雑音増幅器の利得制御と関連させ、低雑音増幅器の利得可変を高利得と低利得を切替えるステップ型とすることにより制御条件が簡易化される。

【0015】また、制御を行うタイミングは、受信信号のスロットあるいはフレームの周期に基づいて行い、低雑音増幅器が低利得で送信信号レベルが閾値以上の状態での低雑音増幅器の高利得への切換えは入力バイアスのパラメータ制御が終了した後に、低雑音増幅器が高利得で送信信号レベルが閾値以下の状態での送信信号レベルの閾値以上への切換えは入力バイアスのパラメータ制御が終了した後に行うようにすることにより、誤動作を防止することができる。

【0016】また、低雑音増幅器と、受信信号の中心周

波数にほぼ等しく直交した局部発振信号を発生する局部発振器と、低雑音増幅器と、第1と第2のダイレクトコンバージョンミキサと、ダイレクトコンバージョンミキサの入力バイアスのパラメータを調整する手段を具備し、制御信号により前記ダイレクトコンバージョンミキサの入力バイアスのパラメータを制御する機能を集積回路することにより、受信機を小型化することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例の通信端末を示すブロック図である。

【図2】 本発明に用いるバイアスキャリブレーション手段の例を示す図である。

【図3】 本発明の低雑音増幅器の利得制御のプロチャートである。

【図4】 本発明の送信部の出力制御のプロチャートである。

【図5】 本発明の他の実施例の通信端末を示すブロック図である。

【図6】 本発明のIC内部にシステム制御を設けた構成を示すブロック図である。

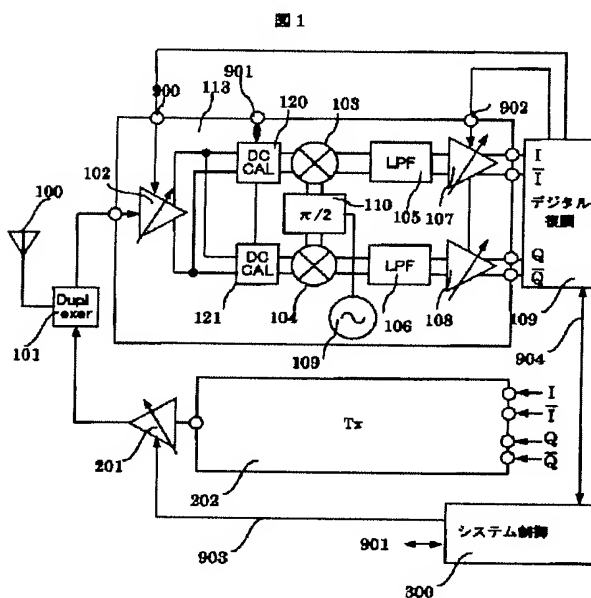
【図7】 従来のダイレクトコンバージョン方式の受信部を持つ通信端末のブロック図である。

【図8】 DS-SS/WCDMA/FDDのフレームとスロットと送信パワーの変化の関係を示す図である。

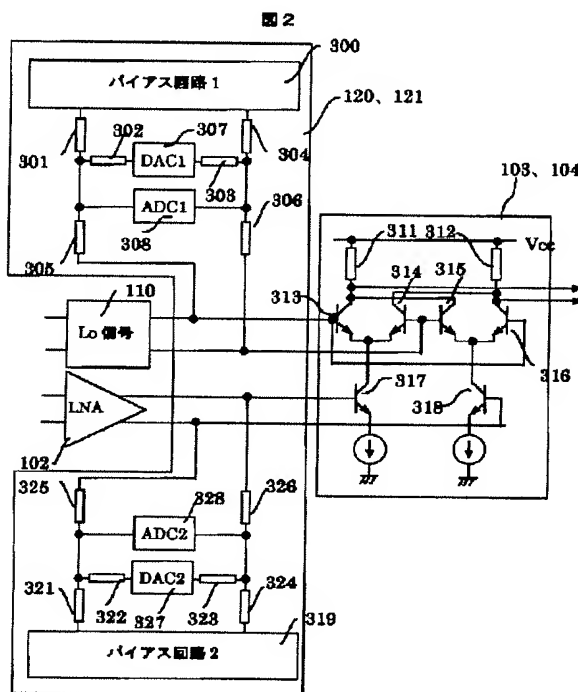
【符号の説明】

102…低雑音増幅器、103、104…ダイレクトコンバージョンミキサ、109…局部発振器、110…90°位相器、105、106…ベースバンドLPF、107、108…ベースバンド増幅器、109…デジタル復調、110…データ処理、111…レベル検出、112…フレーム、スロットタイミング制御、113…受信部、121…キャリブレーション、201…パワー増幅器、202…送信部、900…低雑音増幅器の利得制御端子、901…キャリブレーション信号端子、903…ベースバンド増幅器の利得制御端子

【図1】

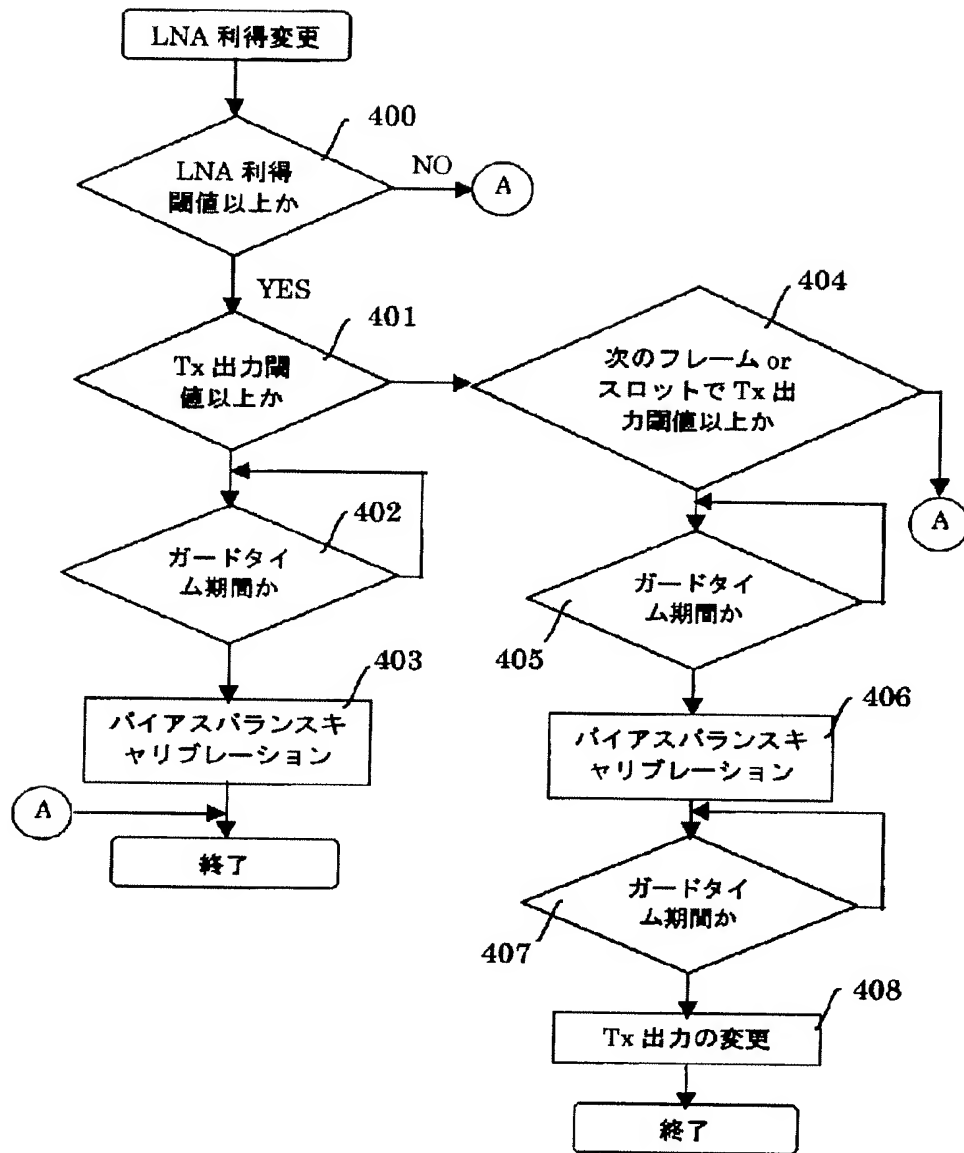


【図2】



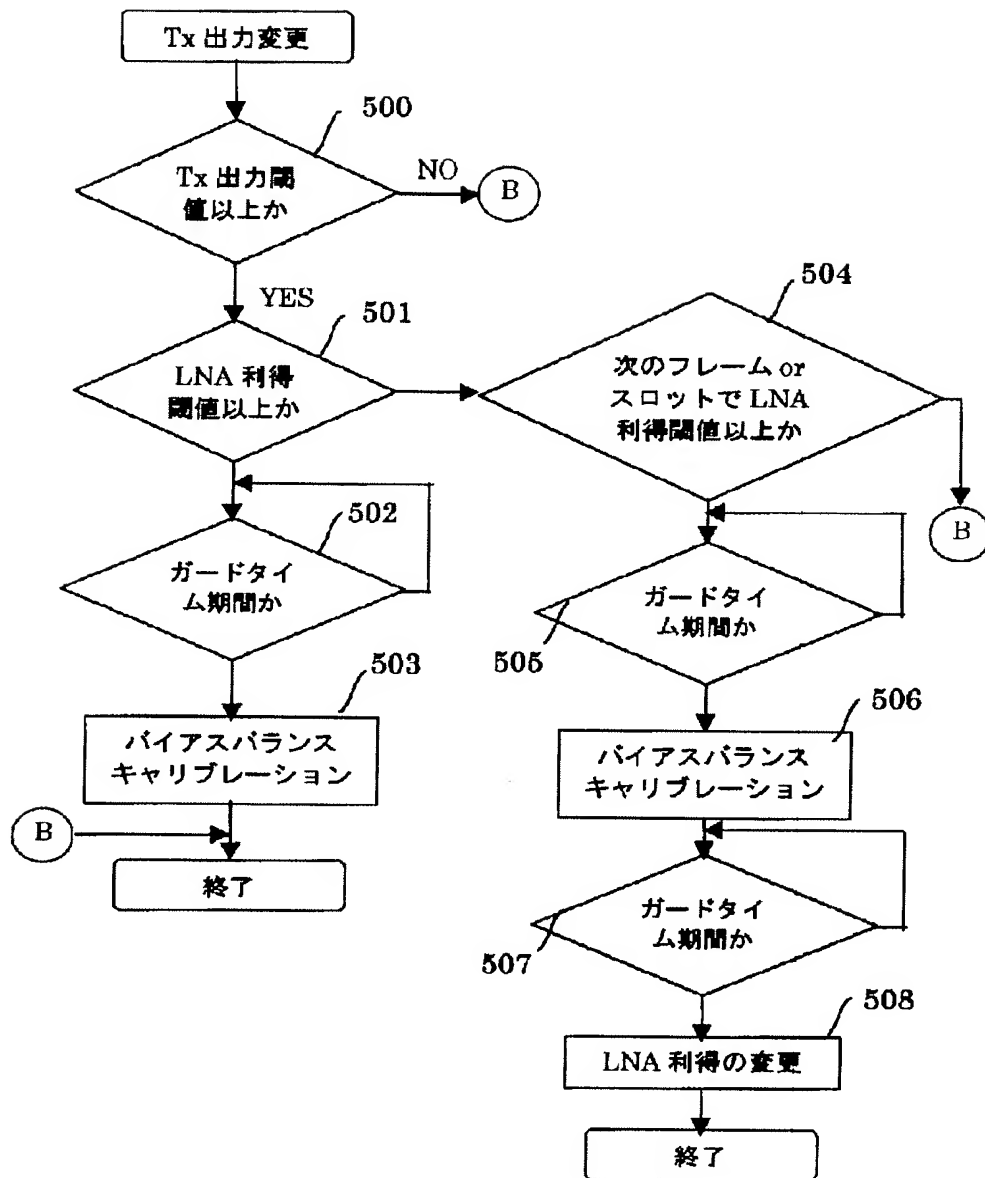
【図3】

図3

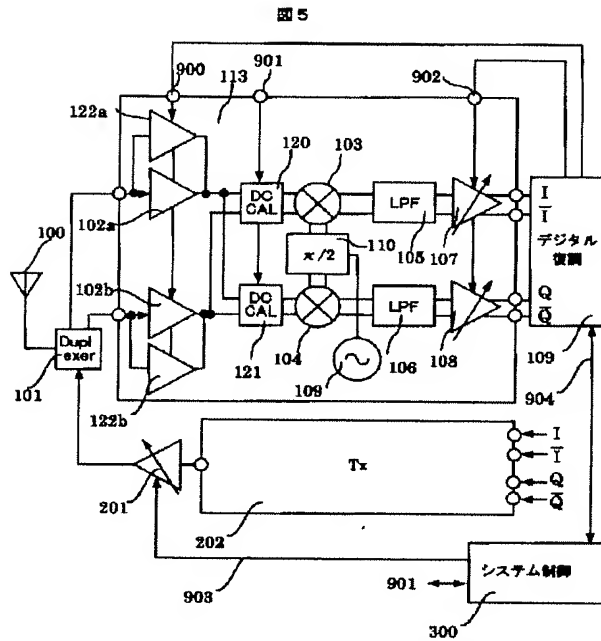


【図4】

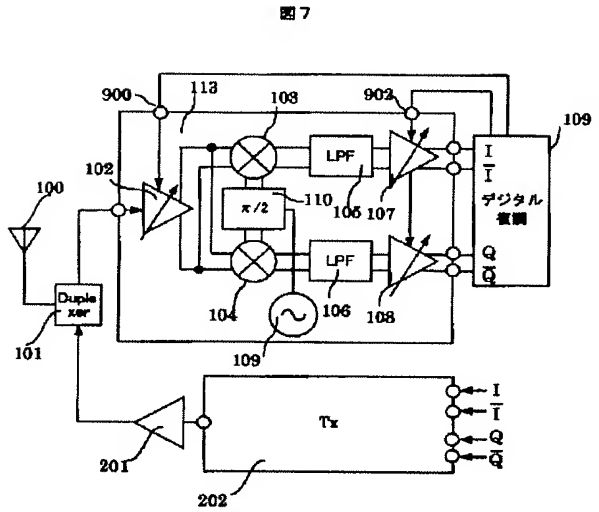
図4



【図5】



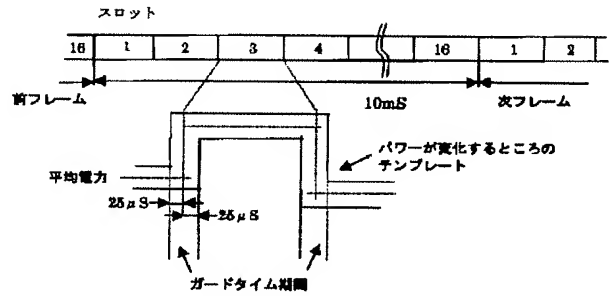
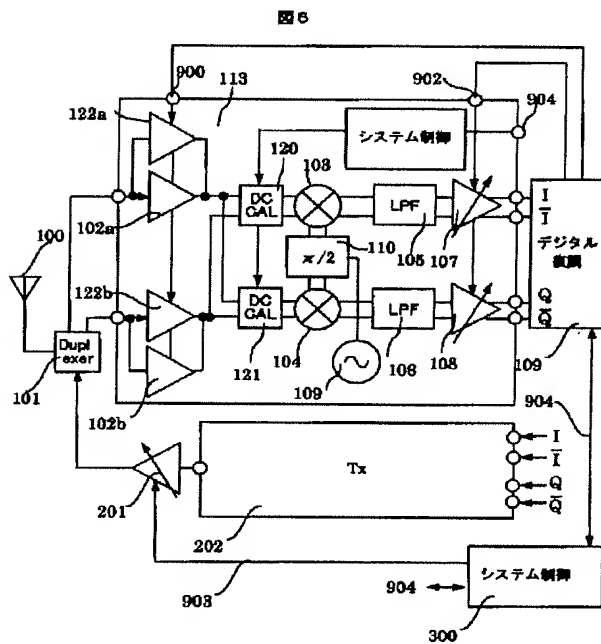
【図7】



【図8】

図8

【図6】



フロントページの続き

Fターム(参考) 5K011 DA01 DA03 DA05 DA12 DA13
DA21 EA03 FA09 GA05 GA06
JA01 KA04 KA14
5K052 AA14 BB02 BB07 CC06 DD01
EE13 FF11 GG26